

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-45166

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月26日

H 02 M 7/48

J

8730-5H

// G 06 F 15/78

5 1 0

F
G

8730-5H
9072-5B

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 バルス幅変調インバータ制御装置

⑮ 特 願 平1-179240

⑯ 出 願 平1(1989)7月11日

⑰ 発 明 者	長 崎	和 徳	東京都港区芝5丁目33番1号	日本電気株式会社内
⑰ 発 明 者	金 山	英 世	東京都港区芝5丁目33番1号	日本電気株式会社内
⑰ 出 願 人	日本電気株式会社			東京都港区芝5丁目7番1号
⑰ 代 理 人	弁理士 内 原 晋			

明 細 書

発明の名称

バルス幅変調インバータ制御装置

特許請求の範囲

複数のバルス幅変調信号を出力するマイクロコンピュータを含み、前記複数のバルス幅変調信号を制御信号として、所定の駆動手段を介して誘導電動機の回転を制御するバルス幅変調インバータ制御装置において、

前記マイクロコンピュータは、

プログラムおよびデータを格納するメモリと、前記プログラムによる命令の実行を制御する実行制御手段と、前記命令の実行アドレスを保持するプログラム・カウンタと、前記プログラムの実行状態を保持する手段と、各種のデータを一時的に保持する汎用レジスタと、を含む中央処理装置と、

所定の入出力要求信号を受けて、前記中央処理

装置に対する処理要求を発生する割込要求発生手段と、

所定の周期信号を受けて、前記駆動手段に対してバルス幅変調信号を出力する所定のバルス制御手段と、

を含んで構成され、

前記バルス制御手段は、

所定の周期信号を入力して計数し、所定の計数値を逐次出力する計数手段と、

前記計数値を入力して、予め設定されている所定のバルス幅変調周期に対応する設定値との比較照合により両者間の一致を検出し、一致検出の時点において所定の処理要求信号を発生して、前記割込要求発生手段に送出する第1の比較手段と、

前記計数値を入力して、予めそれぞれにおいて設定されている設定値との比較照合により両者間の一致を検出し、一致検出の時点においてそれぞれ所定の処理要求信号を発生して、前記割込要求発生手段に送出するN(出力パルス数)個の第2の比較手段と、

前記計数値を入力して、予めそれぞれにおいて設定されている設定値との比較照合により両者間の一致を検出し、一致検出の時点においてそれぞれ所定のセット信号を出力するN（出力パルス数）個の第3の比較手段と、

前記第2の比較手段よりそれぞれ出力される処理要求信号を、リセット信号としてそれぞれ対応するリセット端子に入力し、且つ、前記第3の比較手段よりそれぞれ出力されるセット信号を、それぞれ対応するセット端子に入力して、所定のパルス幅変調信号を出力するN（出力パルス数）個のフリップフロップと、
を含んで構成されており、

前記処理要求信号に応じて、前記中央処理装置においては前記プログラムの実行を中断し、前記プログラム・カウンタおよび前記プログラムの実行状態を保持する手段の双方の収容内容を、他の格納領域に待避させることなく、予め前記メモリ内に設定されているデータを前記パルス制御手段に転送して前記N（出力パルス数）個のフリップ

フロップを制御し、所定のパルス幅変調信号を出力するように作用することを特徴とするパルス幅変調インバータ制御装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明はパルス幅変調インバータ制御装置に関し、特に、マイクロコンピュータを用いてパルス幅変調を行い、誘導電動機の回転を制御するパルス幅変調インバータ制御装置に関する。

〔従来の技術〕

近年、集積回路技術の発達に伴い、マイクロコンピュータは各種の制御装置等において有効利用されている。誘導電動機の回転速度をパルス幅変調インバータにより制御することも、その一例である。

従来、この種のマイクロコンピュータを用いたパルス幅変調インバータ制御装置においては、第11図に従来例のマイクロコンピュータのブロック図が示されるように、マイクロコンピュータ42

は、データバス102に対応して、算術論理演算ユニット（以下ALUと記す）43、汎用レジスタ44、プログラムの実行状態を保持する手段（以下PSWと記す）45、プログラムを格納するリード・オンリー・メモリ（以下ROMと記す）46、プログラムカウンタ（以下PCと記す）47、中央処理装置の制御を行う実行制御部48、割込み要求発生回路（以下INTCと記す）49、タイマ50、データを格納するランダム・アクセス・メモリ（以下RAMと記す）51および汎用ポート52を備えて構成される。また第12図はタイマ50のブロック図で、データバス102に対応して、フリーランニングカウンタ（以下FRCと記す）53およびコンペアレジスタ54を備えている。

第11図および第12図において、ROM 46に格納されているプログラムにより、タイマ50において、時刻 t_1 に入出力要求信号207が発生されてINTC 49に送られると、INTC 49においては、割込要求信号208が生成されて実行制御部48に入力される。実行制御部48においては、前記時刻 t_1 時点におい

て実行中の命令終了後に、PSW 45およびPC 47をRAM 46に待避させる処理が実行され、然る後に、割込要求信号208によるタイム割込み処理が実行される。なお、前記プログラムの処理手順を示すフローチャート図を第13図に示す。

実行制御部48におけるタイマ割込み処理の実行に当っては、各種の汎用レジスタ44をRAM 51に待避させた後に汎用ポート52の出力を設定し、復帰までの所定の処理が実行される。これと同様の処理が、時刻 t_1 から t_{12} まで繰返し実行されて、汎用ポート52の出力として、 $P_1 \sim P_6$ までのパルス信号が得られる。これらの6本のパルス信号はパルス幅変調された回転制御信号であり、所定のドライバ回路および駆動ユニットを介して誘導電動機に入力され、その回転を制御する。

〔発明が解決しようとする課題〕

上述した従来のパルス幅変調インバータ制御装置においては、割込み処理プログラムを介してパルス発生の制御を行なっているため、割込み処理中におけるPC、PSWおよび各種レジスタのRAMへ

の待避、ならびにRAMからの復帰に要する時間の制約により、誘導電動機の回転制御用の出力パルスの周期を、上述の待避および復帰の処理時間より短くすることができないという欠点がある。

また、上記の欠点を解決するため、他の複数のLSIを付加する場合には、装置全体におけるハードウェアの量が増加し、制御装置全体の製品コストを高くするという欠点がある。

(課題を解決するための手段)

本発明のパルス幅変調インバータ制御装置は、複数のパルス幅変調信号を出力するマイクロコンピュータを含み、前記複数のパルス幅変調信号を制御信号として、所定の駆動手段を介して誘導電動機の回転を制御するパルス幅変調インバータ制御装置において、前記マイクロコンピュータは、プログラムおよびデータを格納するメモリと、前記プログラムによる命令の実行を制御する実行制御手段と、前記命令の実行アドレスを保持するプログラム・カウンタと、前記プログラムの実行状態を保持する手段と、各種のデータを一時的に保

持する汎用レジスタと、を含む中央処理装置と、所定の入出力要求信号を受けて、前記中央処理装置に対する処理要求を発生する制込要求発生手段と、所定の周期信号を受けて、前記駆動手段に対してパルス幅変調信号を出力する所定のパルス制御手段と、を含んで構成され、前記パルス制御手段は、所定の周期信号を入力して計数し、所定の計数値を逐次出力する計数手段と、前記計数値を入力して、予め設定されている所定のパルス幅変調周期に対応する設定値との比較照合により両者間の一致を検出し、一致検出の時点において所定の処理要求信号を発生して、前記制込要求発生手段に送出する第1の比較手段と、前記計数値を入力して、予めそれぞれにおいて設定されている設定値との比較照合により両者間の一致を検出し、一致検出の時点においてそれぞれ所定の処理要求信号を発生して、前記制込要求発生手段に送出するN(出力パルス数)個の第2の比較手段と、前記計数値を入力して、予めそれぞれにおいて設定されている設定値との比較照合により両者間の一

致を検出し、一致検出の時点においてそれぞれ所定のセット信号を出力するN(出力パルス数)個の第3の比較手段と、前記第2の比較手段よりそれぞれ出力される処理要求信号を、リセット信号としてそれぞれ対応するリセット端子に入力し、且つ、前記第3の比較手段よりそれぞれ出力されるセット信号を、それぞれ対応するセット端子に入力して、所定のパルス幅変調信号を出力するN(出力パルス数)個のフリップフロップと、を含んで構成されており、前記処理要求信号に応じて、前記中央処理装置においては前記プログラムの実行を中断し、前記プログラム・カウンタおよび前記プログラムの実行状態を保持する手段の双方の収容内容を、他の格納領域に待避させることなく、予め前記メモリ内に設定されているデータを前記パルス制御手段に転送して前記N(出力パルス数)個のフリップフロップを制御して、所定のパルス幅変調信号を出力するように構成される。

(実施例)

次に、本発明について図面を参照して説明する。第1図はパルス幅変調インバータ制御装置の概念ブロック図、第2図は本発明の一実施例に含まれるマイクロコンピュータのブロック図、第3図および第4図は、それぞれ前記マイクロコンピュータに含まれるパルス制御部およびINTCのブロック図である。

第1図に示されるように、パルス幅変調インバータ制御装置は、制御対象である誘導電動機4に対応して、マイクロコンピュータ1と、ドライバ回路2と、駆動ユニット3とを備えて構成され、マイクロプロセッサ1は、第2図に示されるように、データバス101に対応して、ALU5と、汎用レジスタ6と、PSW7と、ROM8と、PC9と、マイクロプログラムROM(以下μROMと記す)10aおよびそのシーケンサ(以下MSEQと記す)10bを含む実行制御部10と、INTC11と、パルス制御部12と、RAM13とを備えて構成される。

また、第3図に示されるように、マイクロコンピュータ1に含まれるパルス制御部12は、デー

タバス101 に対応して、FRC 14と、コンペアレジスタ15～27と、セット・リセット型フリップフロップ（以下F/Fと記す）28～33とを備えており、第4図に示されるように、INTC 11は、割込・入出力制御回路34と、レジスタ35～41とを備えている。

第3図において、FRC 14において計数される周期信号Φ205の計数値は、コンペアレジスタ15において計数比較されて一致／不一致が検索され、一致する場合には、所定の一致信号206aが出力され、入出力要求信号201に含まれる入出力要求信号201a（第4図参照）としてINTC 11に送られる。

同様にして、FRC 14において計数される周期信号Φ205の計数値は、コンペアレジスタ16～27のそれぞれにおいても計数比較され、各コンペアレジスタからは、それぞれ一致信号206b～206mが出力されて、対応するF/F 28～33に輸入される。この場合、F/F 28～33のリセット側に入力される一致信号 206c、206e、206g、206i、206k および

206mは、それぞれ入出力要求信号201に含まれる入出力要求信号201c、201e、201g、201i、201kおよび201m（第4図参照）としてINTC 11に送られる。

第4図において、INTC 11においては、パルス制御部12から送られてくる入出力要求信号201（201a～201g）は、それぞれ割込・入出力制御回路34に輸入される。割込・入出力制御回路34には、他方において、レジスタ35～41から、入出力要求信号201に対応する割込処理形態を指定する信号も入力されており、ここにおいて、割込要求信号の優先順位制御および入出力要求信号の制御等を含む制御作用が行われ、所定の割込要求信号202および割込処理形態指定信号203が生成されて、実行制御部10に出力される。なお、外部の関連ハードウェアからの割込信号および外部の優先順位制御部等に関しては、本発明の趣旨に直接には関係がないため、図示を省略している。

第2図において、実行制御部10に入力される割込要求信号202がハイレベル“1”の場合には、

実行制御部10に対して割込処理要求が為されていることを意味しており、また、ロウレベル“0”の場合には、割込処理要求が為されていないことを意味している。また、割込処理要求の処理形態には二つの形態があり、割込要求信号202がハイレベル“1”であり、且つ割込処理形態指定信号203がロウレベル“0”である場合には、実行制御部10においては、現在実行中の命令の終了後にプログラムの実行が一時中断され、PSW 7およびPC 9の内容を、汎用レジスタ6の内部に設定されているポインタ（図示せず）によって指示されるRAM 13に待避させ、その後において、入出力要求信号に対応するベクタアドレスがPC 9に設定される。然る後、ROM 8に格納されている割込プログラムが、上記のPC 9に基づいて実行される。

上述の割込プログラムによる処理を終了する命令処理においては、待避状態にあるPSW 7およびPC 9の内容をRAM 13から復帰させ、割込処理により中断されていたプログラムの実行が再開される。この割込処理形態は一般にベクタ割込処理と

言われる。

次に、割込要求信号202がハイレベル“1”であって、割込処理形態指定信号203もハイレベル“1”である場合は、本発明の主旨とする処理形態に対応しており、割込が発生しても、PSW 7およびPC 9の内容を待避させることなく、入出力要求信号201に応じて、RAM 13内部の特定アドレスに予め設定されている内容により、所定のデータ処理が行われ、この所定のデータ処理の終了後において、直ちに中断されていたプログラムの実行が再開される。この割込処理形態はマクロサービス処理と言われる。

第5図は、マクロサービス・チャンネルの構造を示すアドレス・マップ図であり、アドレスNのマクロサービス・モードにおけるデータの転送先およびワード／バイト等の区別が指定され、アドレス(N+1)のチャンネル・ポインタによって、転送データの格納アドレスMおよびアドレス(M+2)が指定される。転送データがワードである場合には、アドレスM番地および(M+1)番地

と、アドレス(M+1)番地および(M+2)番地にワード・データ1およびワード・データ2が格納される。また、マクロサービス・チャンネルにおいては、各入出力要求に対応してRAM 13の内部に予め設定番地が定められており、マクロサービスを行う入出力要求に対しては、上記の設定番地にマクロサービス・チャンネルが設定される。

第9図および第10図は、それぞれ本実施例におけるマクロサービス処理のフローチャートおよび割込処理のフローチャートを示す図であるが、以下に、マクロサービス処理について説明する。

第3図において、コンペアレジスタ15には、パルス幅変調周期に対応する数値が設定されており、コンペアレジスタ16、17、18、19、20、21、22、23、24、25、26および27には、それぞれ時刻 t_0 から t_7 、 t_0 から t_8 、 t_0 から t_9 、 t_0 から t_{10} 、 t_0 から t_{11} 、 t_0 から t_{12} 、 t_0 から t_{13} 、および t_0 から t_{14} の各時間間隔に相応する数値が設定されている。

既述のように、コンペアレジスタ15、16、17、

18、19、20、21、22、23、24、25、26および27においては、PRC 14の計数値と上記の各設定値が比較され、それぞれのコンペアレジスタにおける一致信号206a、206c、206e、206g、206i、206kおよび206mが、それぞれ入出力要求信号201a、201c、201e、201g、201i、201kおよび201mとしてINTC 11に送られる。従って、これらの入出力要求信号は、それぞれ前記時間間隔設定値に対応して、それぞれの出力される時刻が制御される。

入出力要求信号201aによりベクタ割込処理が指定され、入出力要求信号201c、201e、201g、201i、201kおよび201mによってマクロサービス処理が指定されると、RAM 13において予め定められている番地に、所定のマクロサービス・チャンネルが設定される。マクロサービス・チャンネルのワードデータには、次のパルス幅変調周期にF/P 28~33をセット・リセットするタイミングの数値がそれぞれ設定される。

次に、パルス幅変調波形を介して行われるパルス制御のタイミングについて、第7図(a)、(b)、

(c)、(d)、(e)、(f)および(g)に示されるパルス幅変調信号のタイミング図を参照して、ポートP1およびP2を対象として説明する。第7図(a)はPRC 14における計数値を示し、第7図(b)、(c)、(d)、(e)、(f)および(g)は、それぞれポートP1、P2、P3、P4、P5およびP6における出力パルスを示している。

時刻 t_9 においてはF/P 29がセットされるため、ポートP₂の出力パルスはハイレベルになる。次の時刻 t_0 においては、F/P 28がリセットされるため、ポートP₁の出力パルスはロウレベルになり、同時に入出力要求信号201c(206c)がINTC 11に送出される。

INTC 11においては、入出力要求信号201cを受けて、PSW 7およびPC 9の内容を保持したままの状態、第9図にフローチャートが示されるマクロサービス処理が開始される。以降、マクロサービスにおけるμプログラム命令に従って処理が実行され、次のパルス幅変調周期T₂における時刻 t_0 に相当するデータが、コンペアレジスタ17に転送

されると同時に、時刻 t_0 に相当するデータがコンペアレジスタ16に転送される。これらの転送が完了すると、中央処理装置においては、保持されているPSW 7およびPC 9の内容に対応して、プログラムによる処理が再開される。

次いで、次の時刻 t_7 においてF/P 28がセットされてポートP₁の出力がハイレベルになり、時刻 t_8 においては、時刻 t_0 における場合と同様に、F/P 29がリセットされてポートP₂の出力がロウレベルになると同時に、入出力要求信号201c(206c)が出力され、マクロサービス処理が実行される。そして、次のパルス幅変調周期T₂における時刻 t_0 に相当するデータが、コンペアレジスタ19に転送されると同時に、時刻 t_0 に相当するデータがコンペアレジスタ16に転送される。但し、ポートP₂における出力波形は、ポートP₁における出力波形の逆相波形であるため、上記のマクロサービス処理が行われる。同様のマクロサービス処理は、ポートP₃およびP₄の間と、ポートP₅およびP₆の間においても実行され、第7図においてT₁で示される一周期

に対応するパルス幅変調信号が得られる。

上記のパルス幅変調周期の終了時には、コンペアレジスタ15から入出力要求信号201a(206a)が出力され、第10図に示される割込処理が実行される。コンペアレジスタ15には、次のパルス幅変調周期値を加算した数値が設定されると同時に、全マクロサービスが禁止され、ベクタ割込処理が開始される。次いで、次のパルス幅変調周期に必要なセット・リセットのタイミングに相当する数値がマクロサービス・チャンネルの指定番地に設定され、その設定後においては、全マクロサービス許可となり、割込処理が終了する。

以上の動作を繰返して行うことにより、それぞれ、第8図(a)、(b)、(c)、(d)、(e)および(f)に示されるパルス出力信号 V_u 、 V_v 、 V_w 、 V_x 、 V_y および V_z が得られる。これらの信号は、第1図におけるドライバ回路2の内部に設けられているホトカプラ(図示せず)を通して、駆動ユニット3に入力されるため、第6図に概略ブロック図が示されるように、実際に駆動ユニット3に設けられている

トランジスタ U_1 、 V_1 、 W_1 、 X_1 、 Y_1 および Z_1 には、それぞれ前記パルス出力信号 V_u 、 V_v 、 V_w 、 V_x 、 V_y および V_z のハイレベルとロウレベルを反転させた信号が入力される。従って、パルス出力信号 V_u がロウレベルの時にはトランジスタ U_1 はオンとなり、 V_u がハイレベルの時にはトランジスタ U_1 はオフとなる。トランジスタ U_1 と X_1 の両電圧による破壊を防止するため、トランジスタ U_1 および X_1 の入力信号は、相互にハイレベルが重畳しないように時間関係が設定されている。その他のトランジスタ V_1 、 W_1 、 X_1 、 Y_1 および Z_1 についても、同様に駆動することにより、第8図(g)、(h)および(i)に示される三相疑似交流電圧 V_u-v 、 V_v-w 、および V_w-u が得られ、第6図に示されるように、誘導電動機4の巻線に供給されて、所望の回転制御が行われる。

〔発明の効果〕

以上、詳細に説明したように、本発明は、パルス幅変調信号のパルス出力時における割込処理を、マクロサービス処理を介して実行することに

より、割込処理に対応して、PSW、PCおよび各種レジスタ等に格納されている内容を持遷させるために要する時間、および割込処理より主たるプログラム処理に復帰するために要する時間を大幅に短縮し、パルス幅変調周期を短縮してパルス出力周波数を高くすることができるという効果があり、更に、性能改善に要するLSIの増設を必要としないため、装置の低コスト化を計ることができるという効果がある。

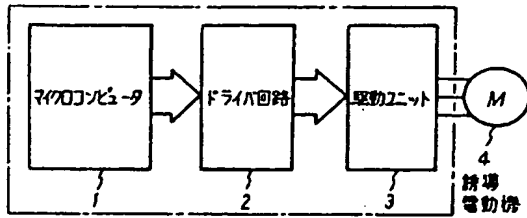
図面の簡単な説明

第1図は本発明の一実施例を示す概念ブロック図、第2図は前記本発明の一実施例に含まれるマイクロコンピュータのブロック図、第3図および第4図は、それぞれ前記マイクロコンピュータに含まれるパルス制御部およびINTCのブロック図、第5図はマクロサービス・チャンネルを示す図、第6図は前記一実施例に含まれる駆動ユニットおよび誘導電動機の概略ブロック図、第7図はパルス幅変調信号のタイミング図、第8図は三相疑似交

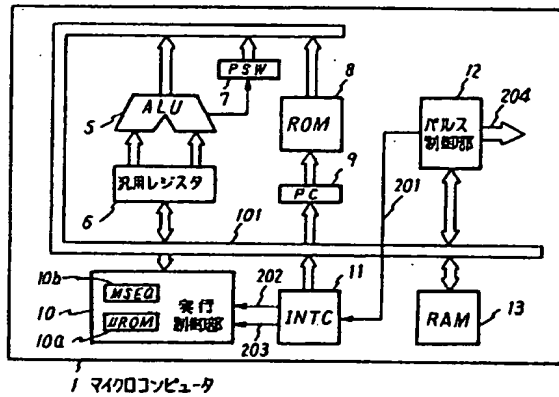
流信号の波形図、第9図はマクロサービスのフローチャートを示す図、第10図は割込処理のフローチャートを示す図、第11図は従来のマイクロコンピュータのブロック図、第12図は、前記従来のマイクロコンピュータに含まれるタイマのブロック図、第13図は、従来のパルス幅制御における動作フローチャートを示す図である。

図において、1,42…マイクロコンピュータ、2…ドライバ回路、3…駆動ユニット、4…誘導電動機、5,43…ALU、6,35~41,44…レジスタ、7,45…PSW、8,46…ROM、9,47…PC、10,48…実行制御部、10a…HSEQ、10b… μ ROM、11,49…INTC、12…パルス制御部、13,51…RAM、14,53…PRC、15~27,54…コンペアレジスタ、28~33…F/F、34…割込・入出力制御回路、50…タイマ、52…出力ポート、 $P_1 \sim P_6$ …ポート、 $U_1, V_1, W_1, X_1, Y_1, Z_1$ …トランジスタ。

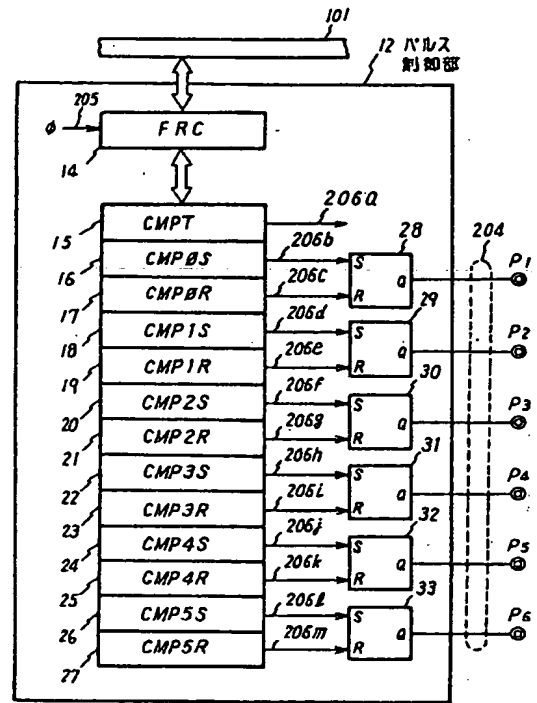
代理人 井上士 内原 晋



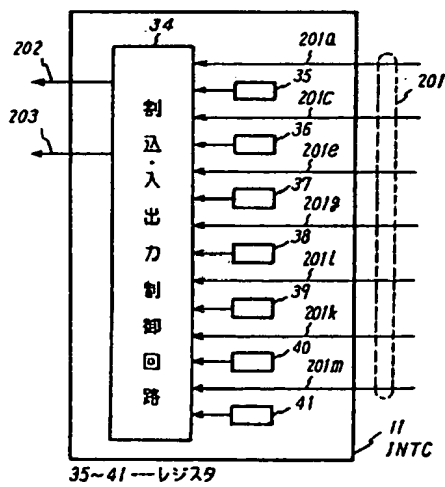
第 1 図



第 2 図

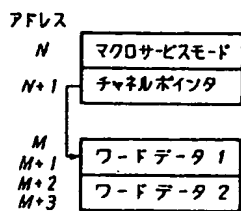

14—FRC, 15~27—コンパレレジスタ,
28~33—F/F

第 3 図

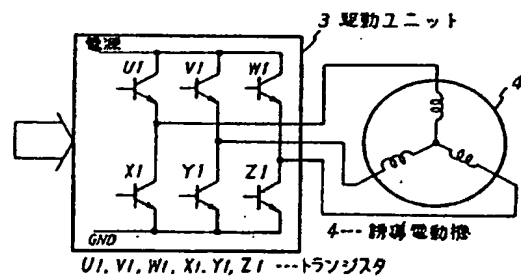


35~41—レジスタ

第 4 図

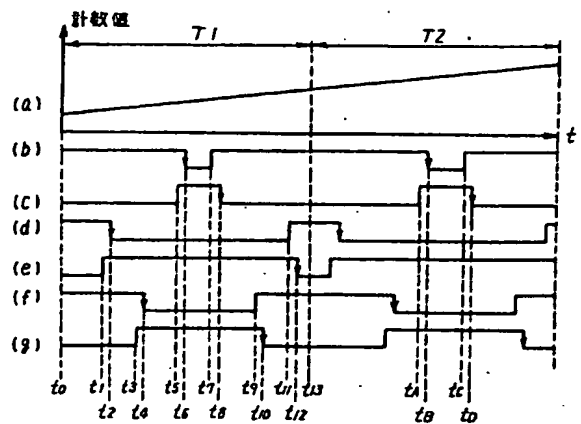


第 5 図

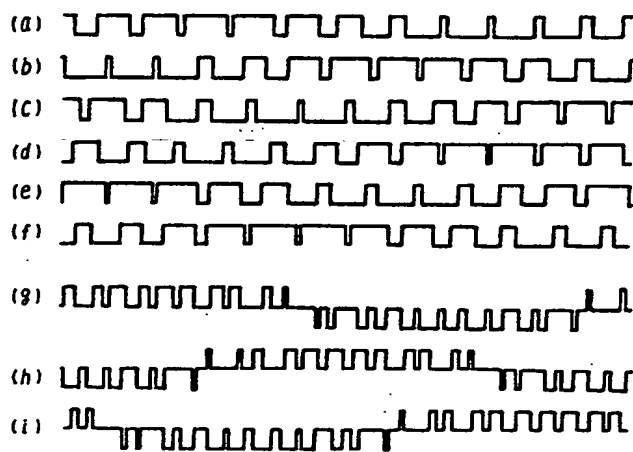


U1, V1, W1, X1, Y1, Z1 ---トランジスタ

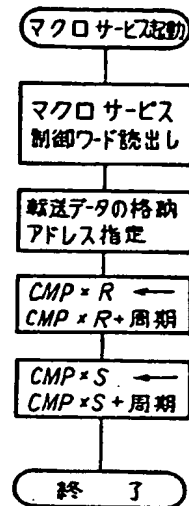
第 6 図



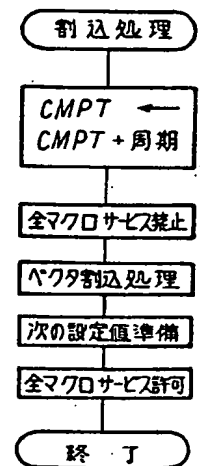
第 7 図



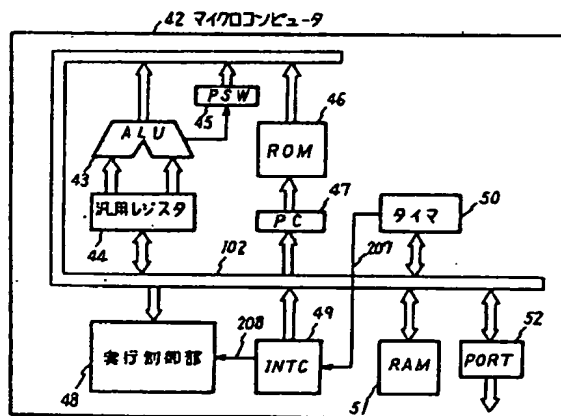
第 8 図



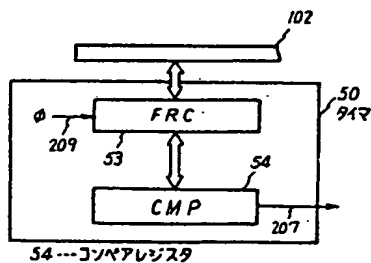
第 9 図



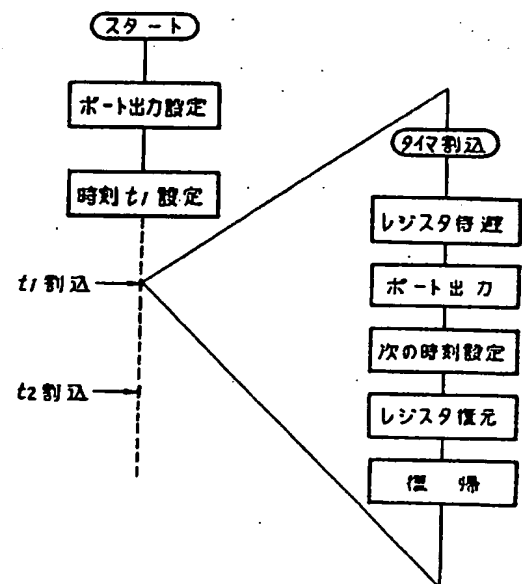
第 10 図



第 11 図



第 12 図



第 13 図